

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-154253

(43)Date of publication of application : 11.06.1996

(51)Int.Cl.

H04N 9/07

(21)Application number : 06-293446

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.11.1994

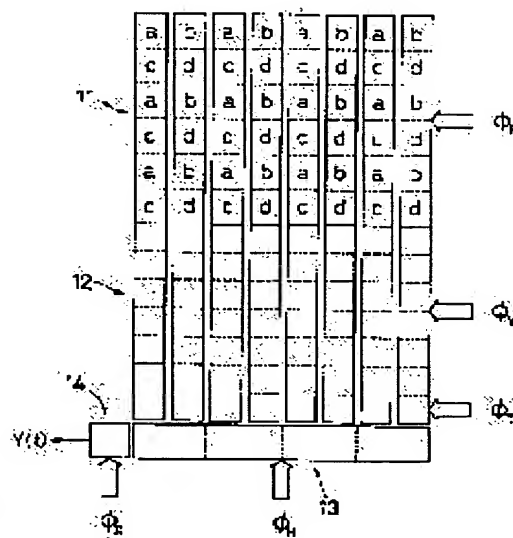
(72)Inventor : WATANABE TORU

(54) SOLID-STATE IMAGE PICKUP ELEMENT AND ITS DRIVE METHOD

(57)Abstract:

PURPOSE: To simplify signal processing of a video signal frame a solid-state image pickup element with a color filter mounted thereto.

CONSTITUTION: Plural light receiving picture elements corresponding to four color components (a), (b), (c), (d) are arranged in an image pickup section 11 as a matrix. The 1st color component (a) corresponds to an odd numbered column in an odd numbered row and the 2nd color component (b) corresponds to an even numbered column. The 3rd color component (c) corresponds to an odd numbered column and the 4th color component (d) corresponds to an even numbered column in an even numbered row. Plural vertical shift registers in an even numbered column in a storage section 12 are formed to have one bit more than those in an odd numbered column. Thus, after the information charge is transferred from the vertical shift registers of an odd numbered column to horizontal shift registers of a horizontal transfer section 13, the information charge is transferred from the vertical shift registers of an even numbered column to the horizontal transfer section 13. Thus, the information of each color component is transferred and outputted from the horizontal transfer section 14 consecutively.



LEGAL STATUS

[Date of request for examination]

05.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2966740

[Date of registration]

13.08.1999

[Number of appeal against examiner's decision

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-154253

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.⁶

H 0 4 N 9/07

識別記号

A
D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平6-293446

(22) 出願日 平成6年(1994)11月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 渡辺 透

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

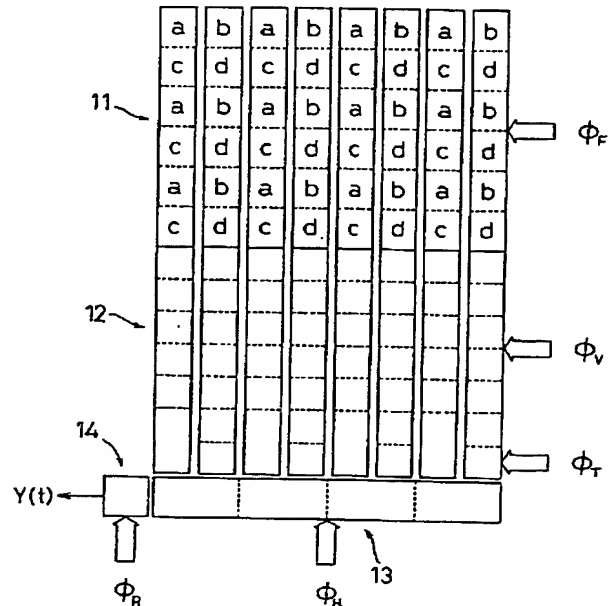
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【要約】

【目的】 カラーフィルタが装着された固体撮像素子から出力される映像信号の信号処理を簡単にする。

【構成】 撮像部11には、4つの色成分a、b、c及びdに対応付けられた複数の受光画素が行列配置される。奇数行では、奇数列に第1の色成分aが対応付けられ、偶数列に第2の色成分bが対応付けられる。偶数行では、奇数列に第3の色成分cが対応付けられ、偶数列に第4の色成分dが対応付けられる。蓄積部12の複数の垂直シフトレジスタは、偶数列が奇数列より1ビット多く形成される。これにより、情報電荷は、奇数列の垂直シフトレジスタから水平転送部13の水平シフトレジスタに転送された後、偶数列の垂直シフトレジスタから水平転送部13の水平シフトレジスタに転送される。従って、同一の色成分を表す情報電荷が連続して水平転送部13から出力部14へ転送出力される。



【特許請求の範囲】

【請求項1】 行方向及び列方向に配置され、受光した光にตอบสนองして情報電荷を発生する複数の受光画素と、この受光画素の各列に対応して配置され、各受光画素に発生する情報電荷を受けて垂直方向に転送する複数の垂直シフトレジスタと、各ビットに上記複数の垂直シフトレジスタの各出力を受け、上記複数の垂直シフトレジスタから出力される情報電荷を水平方向に転送する水平シフトレジスタと、この水平シフトレジスタから出力される情報電荷をビット単位で蓄積し、電荷量に対応した電圧値を出力する出力部と、上記複数の受光画素を被って配置され、上記複数の受光画素の各行で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えるカラーフィルタと、を備え、上記複数の垂直シフトレジスタは、偶数列が奇数列に対して遅れたタイミングで上記情報電荷を上記水平シフトレジスタへ出力することを特徴とする固体撮像素子。

【請求項2】 上記カラーフィルタは、奇数行の受光画素で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えると共に、偶数行の受光画素で奇数列に対して第3の色成分を与え、偶数列に対して第4の色成分を与えることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 行方向及び列方向に配置され、各行で奇数列に対して第1の色成分が与えられて偶数列に対して第2の色成分が与えられる複数の受光画素を備え、受光画素の各列に対応して配置される複数の垂直シフトレジスタに各受光画素に発生する情報電荷を受けて垂直方向に転送し、各垂直シフトレジスタから出力される情報電荷を水平シフトレジスタの各ビットに受けて水平方向に転送出力すると共に、水平シフトレジスタから出力される情報電荷をビット単位で出力部に蓄積して情報電荷量に対応した電圧値を取り出す固体撮像素子の駆動方法において、上記複数の垂直シフトレジスタでは、奇数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送した後、偶数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送すると共に、上記出力部では、複数ビット分の情報電荷を合成して電圧値を取り出すことを特徴とする固体撮像素子の駆動方法。

【請求項4】 上記水平シフトレジスタから転送される情報電荷を上記出力部で合成するタイミングが、垂直走査期間毎に上記水平シフトレジスタの転送動作の1周期ずれることを特徴とする請求項3記載の固体撮像素子の駆動方法。

【請求項5】 上記水平シフトレジスタから転送される情報電荷を上記出力部で合成するタイミングが、水平走査期間毎に上記水平シフトレジスタの転送動作の1周期ずれることを特徴とする請求項3記載の固体撮像素子の

駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、カラーフィルタが装着された固体撮像素子及びその固体撮像素子の駆動方法に関する。

【0002】

【従来の技術】CCD固体撮像素子を用いるテレビカメラ等の撮像装置においては、所定のテレビジョン方式に従う同期信号に基づいて固体撮像素子の各走査タイミングが設定され、所定のフォーマットを有する映像信号が取り出される。例えば、NTSC方式の場合、垂直走査期間が1/60秒に設定され、さらに水平走査期間が垂直走査期間の2/525に設定され、映像情報が1水平走査期間単位で連続する映像信号が出力される。

【0003】図7は、フレーム転送型のCCD固体撮像素子を用いた撮像装置の構成を示すブロック図である。固体撮像素子1は、被写体からの映像を受けて情報電荷を発生する撮像部1a、情報電荷を一時的に蓄積する蓄積部1b、情報電荷を水平方向に転送して出力する水平転送部1c及び情報電荷量を電圧値に変換して出力する出力部1dよりなる。フレーム転送クロック発生回路2は、垂直走査のタイミングに同期してフレーム転送クロックφFを発生し、固体撮像素子1の撮像部1aに供給して撮像部1aの情報電荷を1画面毎に垂直走査の帰線期間内で蓄積部1bへ転送する。垂直転送クロック発生回路3は、水平走査のタイミングに同期して垂直転送クロックφVを発生し、固体撮像素子1の蓄積部1bに供給して蓄積部1bの情報電荷を1行毎に水平走査の帰線期間内で水平転送部1cへ転送する。水平転送クロック発生回路4は、水平走査のタイミングに同期して水平転送クロックφHを発生し、水平転送部1cに供給して蓄積部1bから転送された1行分の情報電荷を水平走査期間内で出力部1dへ転送出力する。タイミング制御回路5は、基準クロックCKに基づいて垂直走査周期及び水平走査周期のタイミング信号を生成し、各クロック発生回路2、3、4に供給する。これにより、撮像部1aに発生した情報電荷は、垂直走査期間の始まりのタイミングで1画面単位で蓄積部1bへ転送されて蓄積される。そして、この蓄積部1bから水平走査期間の始まりのタイミングで1行単位で水平転送部1cへ転送され、水平転送部1cから1ビットずつ出力部1dへ転送される。

【0004】リセットクロック発生回路6は、水平転送クロック発生回路4の動作に同期してリセットクロックφRを発生し、固体撮像素子1の出力部1dに供給する。出力部1dには、フローティングディフュージョンと称される他の領域から電氣的に独立する拡散領域が設けられ、この拡散領域に蓄積される情報電荷がリセットクロックφRにตอบสนองして電荷排出力用のドレインに排出される。即ち、出力部1dは、水平転送部1cから転送さ

れる情報電荷を拡散領域に蓄積し、この拡散領域の電位の変動から電圧値を得ているため、水平転送部1cの情報電荷が出力部1dへ1ビットずつ転送される度にリセットクロックφRに応答して情報電荷を排出するよう構成される。これにより、水平転送部1cから転送出力される情報電荷が1ビット毎に電圧値に変換され、リセットレベルと情報電荷量に対応した信号レベルとを繰り返す映像信号Y1(t)が出力される。

【0005】サンプリング回路7は、映像信号Y1(t)を取り込んでサンプリングクロックφSに従うタイミングでサンプリングし、映像信号Y2(t)として出力する。サンプリングクロック発生回路8は、リセットクロック発生回路6と同様に、水平転送クロック発生回路4の動作に同期してサンプリングクロックφSを発生し、サンプリング回路7に供給する。このサンプリングクロックφSは、固体撮像素子1の出力部1dから情報電荷量に対応した電圧値が出力される期間に位相が合わせられており、出力部1dから出力される映像信号Y1(t)の内、信号レベルのみを取り出し、映像信号Y2(t)を生成する。

【0006】以上のような撮像装置においては、撮像部1aに1画面分の情報電荷を蓄積する期間が、例えば1/60秒として設定されるが、撮像部1aの情報電荷を垂直走査期間の途中の特定のタイミングで排出することにより蓄積期間を1/60秒以下に設定することも可能である。従って、明るい被写体に対しては、情報電荷の蓄積期間を短く設定して固体撮像素子1の撮像部1aの情報電荷のオーバーフローが防止される。逆に、暗い被写体に対しては、情報電荷の蓄積期間を複数の垂直走査期間に亘って設定することで、蓄積期間を1/60秒以上とし、露光不足分を補うようにしている。この場合、撮像部1aから蓄積部1bへの情報電荷の転送が複数の垂直走査期間に1回の割合で行われるため、固体撮像素子1のから出力される映像信号Y1(t)は、映像情報を含まない期間を有する間欠的な信号となる。そこで、このような間欠的な映像信号Y1(t)に対しては、垂直走査期間単位で映像情報の補間を行う処理が施される。このような露光制御機能を備えた撮像装置は、例えば、本出願人により特願昭63-66330号に提案されている。

【0007】

【発明が解決しようとする課題】固体撮像素子1から出力される映像信号Y1(t)に対して映像情報の補間を行う場合には、一画面分の信号を記憶するフィールドメモリが必要となり、回路規模が大きくなるという問題を有している。そこで、撮像部1aの2画素分の情報電荷を合成することにより、回路規模を大きくすることなく、情報電荷量を増加させて固体撮像素子1の見かけ上の感度を向上することが考えられている。2画素分の情報電荷の合成は、通常、情報電荷を転送する過程で合成する方法が用いられる。

【0008】しかしながら、固体撮像素子1の撮像部1aにカラーフィルタを装着することで各受光画素を特定の色成分に対応付けたカラー撮像用の固体撮像素子においては、隣り合う受光画素の色成分が異なっており、複数の画素の情報電荷を互いに合成することはできない。例えば、4つの色成分a、b、c及びdからなるモザイク型のカラーフィルタが装着された固体撮像素子の場合、出力される映像信号Y1(t)は、図8に示すように、各水平走査期間内で水平転送クロックφHに一致した周期で色成分a及びbまたはc及びdが交互に繰り返される。従って、隣り合う受光画素の情報電荷を転送過程で合成すると、異なる色成分どうしが混合されることになり、再生側で所望の色を再現することができなくなる。

【0009】そこで本発明は、カラーフィルタが装着された固体撮像素子で複数の受光画素の情報電荷を合成できるようにすることを目的とする。

【0010】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、行方向及び列方向に配置され、受光した光にตอบสนองして情報電荷を発生する複数の受光画素と、この受光画素の各列に対応して配置され、各受光画素に発生する情報電荷を受けて垂直方向に転送する複数の垂直シフトレジスタと、各ビットに上記複数の垂直シフトレジスタの各出力を受け、上記複数の垂直シフトレジスタから出力される情報電荷を水平方向に転送する水平シフトレジスタと、この水平シフトレジスタから出力される情報電荷をビット単位で蓄積し、電荷量に対応した電圧値を出力する出力部と、上記複数の受光画素を被って配置され、上記複数の受光画素の各行で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えるカラーフィルタと、を備え、上記複数の垂直シフトレジスタは、偶数列が奇数列に対して遅れたタイミングで上記情報電荷を上記水平シフトレジスタへ出力することにある。

【0011】そして、行方向及び列方向に配置され、各行で奇数列に対して第1の色成分が与えられて偶数列に対して第2の色成分が与えられる複数の受光画素を備え、受光画素の各列に対応して配置される複数の垂直シフトレジスタに各受光画素に発生する情報電荷を受けて垂直方向に転送し、各垂直シフトレジスタから出力される情報電荷を水平シフトレジスタの各ビットに受けて水平方向に転送出力すると共に、水平シフトレジスタから出力される情報電荷をビット単位で出力部に蓄積して情報電荷量に対応した電圧値を取り出す固体撮像素子の駆動方法において、上記複数の垂直シフトレジスタでは、奇数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送した後、偶数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送すると共に、上記出力部では、複数ビ

5

ット分の情報電荷を合成して電圧値を取り出すことを特徴としている。

【0012】

【作用】本発明によれば、行列配置された複数の受光画素の各行で奇数列と偶数列とに第1の色成分と第2の色成分とをそれぞれ対応させ、偶数列の垂直シフトレジスタが奇数列のシフトレジスタに対して遅れたタイミングで情報電荷を水平シフトレジスタへ転送するようにしたことで、同じ色成分に対応付けられた受光画素から同時に情報電荷が水平シフトレジスタへ転送されるようになる。このため、水平シフトレジスタ内には同一の色成分を表す情報電荷が連続することになり、同一の色成分が1/2行単位で連続する映像信号を得ることができる。

【0013】そして、本発明の固体撮像素子の駆動方法によれば、同一の色成分に対応付けられた受光画素から同時に水平シフトレジスタへ情報電荷が読み出され、その情報電荷が出力部で複数ビット分合成される。このため、カラーフィルタを装着した固体撮像素子であっても、色成分が混合することなく、複数の受光画素の情報電荷が合成されて高いレベルの映像信号を得ることができる。

【0014】

【実施例】図1は、本発明の固体撮像素子の構成を示す平面図で、図2は、この固体撮像素子を駆動する各クロックのタイミング図である。この図においては、図面簡略化のため、撮像部の受光画素を6行×8列で示している。撮像部11は、互いに平行に配置される複数の垂直シフトレジスタからなり、これらの垂直シフトレジスタがそれぞれ複数のビットに分割されることにより、行列配置された複数の受光画素が構成される。この撮像部11には、4つの色成分a、b、c及びdからなるモザイク型のカラーフィルタが装着される。これにより、奇数行の受光画素は、奇数列が第1の色成分aに対応付けられて偶数列が第2の色成分bに対応付けられ、偶数行の受光画素は、奇数列が第3の色成分cに対応付けられて偶数列が第4の色成分dに対応付けられる。この撮像部11の各垂直シフトレジスタには、垂直走査タイミングに同期したフレーム転送クロックφFが印加され、各受光画素に発生する情報電荷が蓄積部12へ転送される。蓄積部12は、撮像部11の垂直シフトレジスタに連続する複数の垂直シフトレジスタからなり、これらの垂直シフトレジスタが撮像部11の受光画素に対応するように分割され、撮像部11から転送される情報電荷を取り込んで一時的に蓄積する。蓄積部12の垂直シフトレジスタには、垂直転送クロックφVが印加され、撮像部11の垂直シフトレジスタから転送される情報電荷を取り込んで蓄積すると共に、蓄積した情報電荷を水平走査タイミングに同期して1行単位で垂直方向に転送する。これらの垂直シフトレジスタの出力側は、偶数列で奇数列よりも1ビット多く形成されており、偶数列の最終ビッ

6

トが垂直転送クロックφVの1/2の周期の補助転送クロックφTで駆動される。これにより、蓄積部12から水平転送部13への情報電荷の転送タイミングを奇数列の垂直シフトレジスタと偶数列の垂直シフトレジスタとで水平走査期間の1/2の期間ずらしている。水平転送部13は、1列の水平シフトレジスタからなり、この水平シフトレジスタが蓄積部12の垂直シフトレジスタの2列毎に対応して複数のビットに分割され、蓄積部12の各垂直シフトレジスタから転送される情報電荷を各ビットに取り込む。水平転送部13の水平シフトレジスタには、水平走査タイミングに同期した水平転送クロックφHが印加され、蓄積部12から水平転送部13に転送された情報電荷を1/2行毎に水平方向に順次転送出力する。出力部14は、水平転送部13の水平シフトレジスタから出力される情報電荷を受ける容量、この容量の電位の変化を取り出す出力アンプ及び容量に蓄積された情報電荷を排出するリセットトランジスタより構成される。この出力部14には、水平転送クロックφHに同期したリセットクロックφRが印加され、水平転送部13から出力されてビット単位で容量に蓄積される情報電荷が順次排出されるようになる。これにより、水平転送部13から転送される情報電荷が1ビット単位で電圧値に変換され、情報電荷量に対応した映像信号Y(t)が出力される。

【0015】垂直転送クロックφVは、例えば、4相のクロックφV1〜φV4からなり、水平同期信号HDに同期した垂直走査の始まりのタイミングで蓄積部12の情報電荷を1行分垂直方向へ転送する。このとき、奇数列の垂直シフトレジスタでは、最終ビットの情報電荷が水平転送部13の水平シフトレジスタへ転送されるが、奇数列よりも1ビット多い偶数列の垂直シフトレジスタでは、同一行の情報電荷が垂直シフトレジスタの最終ビットに保持される。この垂直シフトレジスタの最終ビットを駆動する補助転送クロックφTについては、例えば、4相のクロックφT1〜φT4からなり、垂直転送クロックφVと合わせて水平走査の始まりで情報電荷を垂直シフトレジスタの最終ビットに取り込んだ後、水平走査期間の1/2の期間が経過したときに垂直シフトレジスタの最終ビットから水平転送部の水平シフトレジスタへ情報電荷を転送する。そして、水平転送クロックφHは、例えば、2相のクロックφH1、φH2からなり、蓄積部12の垂直シフトレジスタから水平転送部13の水平シフトレジスタへ情報電荷が転送される毎に水平走査の1/2の期間で1/2行分の情報電荷を出力部14へ転送する。このようにして転送出力される情報電荷は、各水平走査期間毎に水平走査期間の1/2の期間で同じ色成分が連続することになる。例えば、奇数番目の水平走査期間では、水平走査期間の前半で第1の色成分aを表す情報電荷が連続し、後半で第2の色成分bを表す情報電荷が連続して出力され、偶数番目の水平走査期間で

は、水平走査期間の前半で第3の色成分cを表す情報電荷が連続し、後半で第4の色成分dを表す情報電荷が連続して出力されるようになる。従って、出力部14から出力される映像信号Y(t)は、各水平走査期間において、水平走査期間の1/2の期間毎に単一の色成分を表すことになり、映像信号Y(t)に対する信号処理では、色成分の分離が容易にできるようになる。

【0016】また、出力部14に印加されるリセットクロックφRを適当な間隔で間引くようにすれば、複数ビット分の情報電荷を合成することが可能である。この場合、水平走査期間の1/2の期間は、同一の色成分が連続しているため、異なる色成分どうしが混合されることはない。図3は、モザイク型のカラーフィルタの構成例を示す平面図で、フレーム転送型のCCD固体撮像素子の受光部を示す。そして、図4は、図3のX-X線の断面図である。これらの図においては、1画素あたりに4本の転送電極が配置される4相駆動のフルフレーム型CCD固体撮像素子を示す。

【0017】P型のシリコン基板21の表面領域に、高濃度のP型領域よりなる複数の分離領域22が互いに平行に形成され、この分離領域22に挟まれた基板領域に、N型の不純物が拡散されてチャネル領域23が形成される。分離領域22及びチャネル領域23が形成されたシリコン基板21上に、酸化膜24を介して、チャネル領域23と交差するように複数の1層目の転送電極25及び2層目の転送電極26が互いに平行に配置される。また、光電変換によって生じる情報電荷を蓄積する期間には、例えば、2層目の転送電極26の偶数番目の電位を低くしてポテンシャルの障壁を形成し、1層目の転送電極25及び2層目の転送電極26の奇数番目の電位を高くしてポテンシャルの井戸を形成する。これにより、垂直方向に連続するチャネル領域23が2層目の転送電極26の偶数番目で電気的に分離され、複数の受光画素が形成される。そして、各転送電極25、26には、例えば4相のクロックパルスが与えられ、ポテンシャルの井戸に蓄積された情報電荷がチャネル領域23に沿って出力側へ順次転送される。ここで、各転送電極25、26は、1画素あたりにそれぞれ2本ずつ（計4本）配置されており、各受光画素に蓄積される情報電荷が、1画素毎に独立して転送される。

【0018】各転送電極25、26を覆って形成されるカラーフィルタ27は、受光画素の各行に対応して複数の領域に分割され、さらにチャネル領域23の2列毎に対応して3つの領域に分割される。分離領域22を挟んで隣り合う2つの受光画素に跨る分割領域は、それぞれの受光画素の1/3に対応し、その両側に隣接する分割領域は、各受光画素の2/3に対応する。これらの分割領域には、Ye（イエロー）、Cy（シアン）及びG（グリーン）の各成分が所定の順序で割り当てられる。各分割領域に対する色成分の割り当ての順序は、各行で

一致しているが、偶数行と奇数行とで行方向に1領域分ずれている。

【0019】ところで、G成分のフィルタは、Ye成分のフィルタとCy成分のフィルタとを重ね合わせて構成できる。このため、Yeフィルタとなる1層目の着色層28をYe成分及びG成分が割り当てられる分割領域に配置し、Cyフィルタとなる2層目の着色層29をCy成分及びG成分が割り当てられる分割領域に配置してカラーフィルタ27を構成する。これにより、1層目の着色層28のみを配置した分割領域がYe成分、2層目の着色層29のみを配置した分割領域がCy成分にそれぞれ対応付けられ、1層目の着色層28と2層目の着色層29とを重ねて配置した分割領域がG成分に対応付けられる。

【0020】以上のカラーフィルタ27においては、4つの色成分a、b、c及びdを、それぞれ、

$$a = 2Cy + Ye$$

$$b = 2G + Ye$$

$$c = 2G + Cy$$

$$d = 2Ye + Cy$$

と表すことができる。そして、このような色成分a、b、c及びdの構成によれば、各行毎で互いの色成分の差から、

$$|a - b| = (2Cy + Ye) - (2G + Ye)$$

$$= 2Cy - 2G$$

$$= 2B$$

$$|c - d| = (2Ye + Cy) - (2G + Cy)$$

$$= 2Ye - 2G$$

$$= 2R$$

としてB（ブルー）成分及びR（レッド）成分を得ることができる。また、各行毎に色成分を合成することにより、

$$a + b = (2Cy + Ye) + (2G + Ye)$$

$$= 2R + 6G + 2B$$

$$c + d = (2G + Cy) + (2Ye + Cy)$$

$$= 2R + 6G + 2B$$

となり、各行毎に等しい信号を得ることができ、この信号を輝度信号として用いることができるようになる。この場合の輝度信号については、本来の輝度信号には一致しないが、所定の規格に従う割合に近い割合で各成分が合成されているため、実用上は問題ない。

【0021】図5は、本発明の固体撮像素子の駆動方法を採用した撮像装置の構成を示すブロック図であり、図6は、その動作タイミング図である。固体撮像素子31は、図1と同一の構成であり、モザイク型のカラーフィルタが装着された撮像部31a、偶数列の垂直シフトレジスタが奇数列の垂直シフトレジスタよりも出力側で1ビット多く形成される出力部31b、出力部31bの垂直シフトレジスタの2列毎に水平シフトレジスタの各ビットが対応付けられた水平転送部31c及び映像信号Y

1(t)を取り出す出力部31dよりなる。

【0022】フレーム転送クロック発生回路32は、垂直走査のタイミングに同期して発生するフレーム転送クロック ϕF を固体撮像素子31の撮像部31aに供給し、撮像部31aの情報電荷を1画面毎に蓄積部1bへ転送する。垂直転送クロック発生回路33は、垂直転送クロック ϕV を蓄積部1bに供給し、撮像部31aから転送される情報電荷を蓄積部31bに取り込むと共に、取り込んだ情報電荷を1行毎に垂直方向へ転送する。このとき、蓄積部31bにおいては、偶数列の垂直シフトレジスタが奇数列の垂直シフトレジスタよりも出力側で1ビット多く形成されており、奇数列の垂直シフトレジスタでは、最終ビットの情報電荷が水平転送部31cの水平シフトレジスタへ転送され、偶数列の垂直シフトレジスタでは、同一行の情報電荷がその垂直シフトレジスタの最終ビットに保持される。補助転送クロック発生回路34は、蓄積部31bの偶数列の垂直シフトレジスタの最終ビットに対して補助転送クロック ϕT を供給し、この最終ビットに取り込まれた情報電荷を奇数列の垂直シフトレジスタの転送タイミングに対して水平走査期間の1/2の期間遅れたタイミングで水平転送部31cの水平シフトレジスタへ転送する。水平転送クロック発生回路35は、水平走査のタイミングに同期して発生する水平転送クロック ϕH を水平転送部31cに供給し、蓄積部31bから転送された情報電荷を出力部31dへ転送出力する。タイミング制御回路36は、基準クロックCKに基づいて垂直走査及び水平走査の各タイミングを決定し、各クロック発生回路32、33、34、35の動作タイミングを制御する。これにより、撮像部31aに発生した情報電荷は、垂直走査期間の始まりのタイミングで1画面単位で蓄積部31bへ転送されて蓄積され、この蓄積部31bから水平走査期間の始まりのタイミングで1行単位で水平転送部31cへ転送される。そして、その転送過程で、奇数列の受光画素から読み出された情報電荷と偶数列の受光画素から読み出された情報電荷とが振り分けられ、同一の色成分を表す情報電荷が水平走査期間の1/2の期間毎に連続して出力部31dへ転送される。

【0023】リセットクロック発生回路37は、水平転送クロック発生回路35に同期して水平転送クロック ϕH と同一周期のリセットクロック $\phi R1$ を発生する。分周回路38は、リセットクロック $\phi R1$ を1/nに分周し、水平転送クロック ϕH のn倍の周期を有するリセットクロック $\phi R2$ を発生して固体撮像素子31の出力部31dに供給する。これにより、出力部31dでの情報電荷の排出動作が、水平転送部31cの転送動作のn倍の周期となり、出力部31dにはn画素分の情報電荷が蓄積される。これにより、出力部31dから出力される映像信号Y1(t)は、水平転送クロック ϕH の周期のn倍の期間同一レベルを示すことになるが、1画素分の情報電荷量

が少ないときでも十分なレベルを得ることができる。

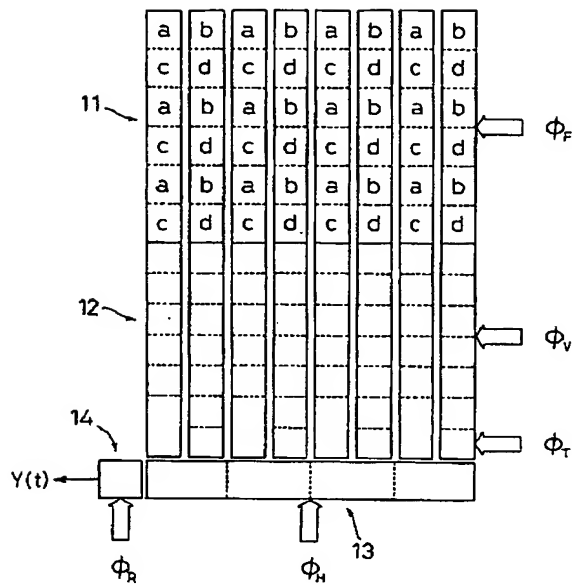
【0024】サンプリング回路39は、映像信号Y1(t)を取り込んでサンプリングクロック $\phi S2$ に従うタイミングでサンプリングし、映像信号Y2(t)として出力する。サンプリングクロック発生回路40は、リセットクロック発生回路37と同様に、水平転送クロック発生回路35に同期して水平転送クロック ϕH と同一周期のサンプリングクロック $\phi S1$ を発生する。分周回路41は、分周回路38と同様に、サンプリングクロック $\phi S1$ を1/nに分周し、リセットクロック $\phi R2$ と同一の周期を有するサンプリングクロック $\phi S2$ を発生してサンプリング回路39に供給する。尚、サンプリングクロック $\phi S2$ の位相は、図7のサンプリングクロック ϕS と同様に、映像信号Y1(t)の信号レベルが出力される期間に一致するように設定される。

【0025】ここで、各分周回路38、41でのリセットクロック $\phi R1$ 及びサンプリングクロック $\phi S1$ に対する分周動作は、垂直走査期間(1フィールド)毎に反転するフィールド識別信号FDに応答して、各垂直走査期間で水平転送クロック ϕH の1周期分ずれたタイミングに設定される。例えば、リセットクロック $\phi R1$ 及びサンプリングクロック $\phi S1$ を1/2に分周して出力部31dで2画素分の情報電荷を合成する場合、奇数フィールド(ODD)では、水平走査信号HDの立ち上がりで各分周回路38、41をリセットし、偶数フィールド(EVEN)では、水平走査信号HDの立ち上がりから水平転送クロック ϕH の1周期分遅れて分周回路12をリセットするように構成される。これにより、リセットクロック $\phi R2$ は、図6に示すように、奇数フィールドと偶数フィールドとで互いに1周期ずれて設定される。従って、出力部31dでの情報電荷の排出動作が水平転送部31cの転送動作に対してフィールド毎に水平転送クロック ϕH の1周期ずれ、出力部31dにおいて合成される受光画素の組み合わせがフィールド毎に反転することになる。このように、受光画素の情報電荷を合成するタイミングをフィールド毎に反転させるようにすれば、固体撮像素子31が水平方向に疑似的にインタレース走査されることになり、2画素の情報電荷の合成による水平方向の解像度の低下を抑圧することができる。

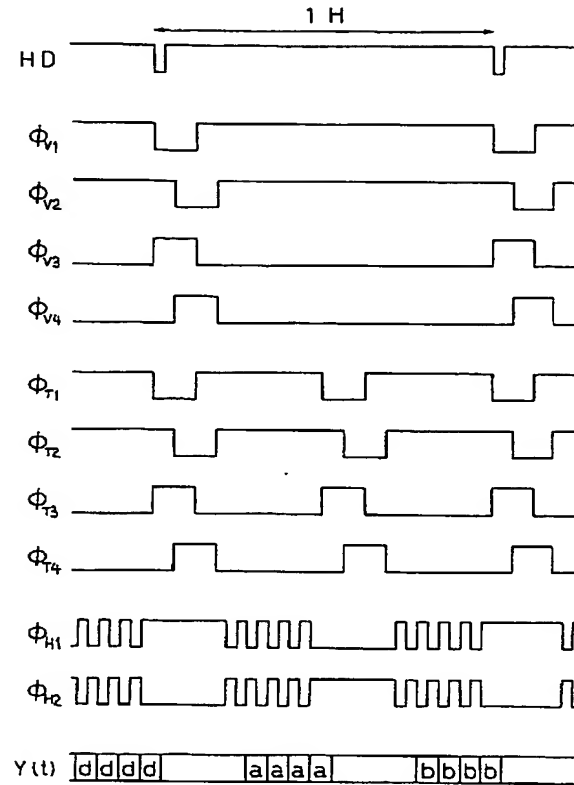
【0026】ところで、出力部31dにおいて合成される画素の組み合わせを反転する周期は、垂直走査期間単位で行うほかに、水平走査期間単位で行うことも可能である。この場合、各分周回路38、41におけるリセットクロック $\phi R1$ 及びサンプリングクロック $\phi S1$ に対する分周動作が、水平走査期間毎に水平転送クロック ϕH の1周期だけずれて設定される。

【0027】以上の実施例においては、蓄積部31bの偶数列の垂直シフトレジスタのビット数を奇数列に対して1ビット多くすることで、奇数列と偶数列との情報電荷の振り分けを行うようしているが、水平転送部31c

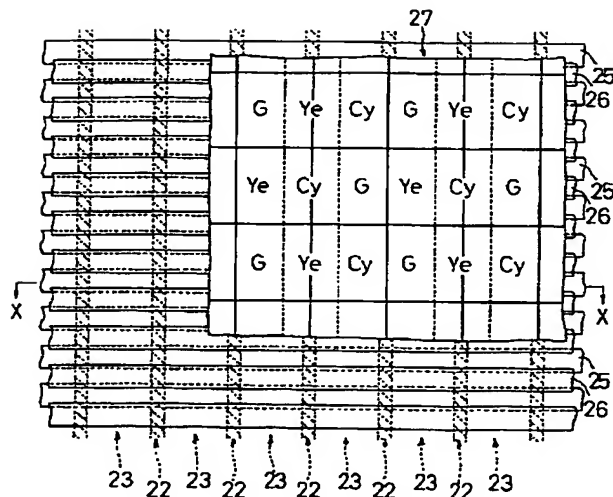
【図1】



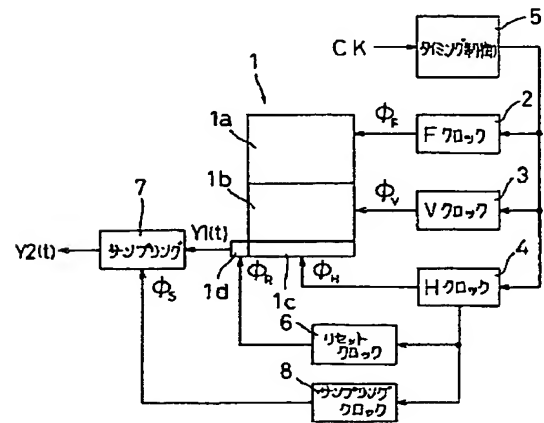
【図2】



【図3】



【図7】



Timing diagram for a 4-phase PLL system. The diagram shows the clock signals HT, Φ_{H1} , Φ_{H2} , $\Phi_{R2}(\text{odd})$, and $\Phi_{R2}(\text{Even})$ over time. Below these are the data signals $Y1(t)(\text{odd})$ and $Y1(t)(\text{Even})$, which are sampled at the rising edges of the odd and even clock phases respectively. The data signals are shown as a sequence of bits: a, a, a, a, b, b, b, b, c, c.

BEST AVAILABLE COPY